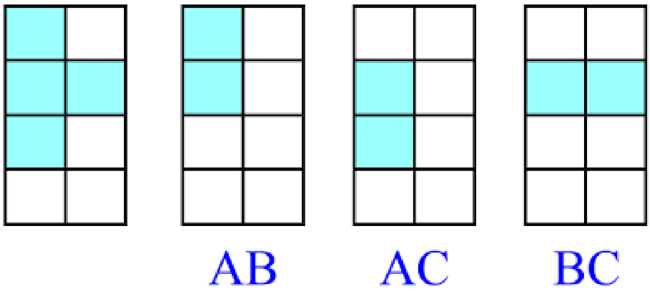
Fundamentos de lógica digital. Problemas. Sesión 08
1. PROBLEMA: *Usando diagramas de subconjuntos, diseñar una máquina que produzca las siguientes salidas.*

A	0	0	0	0	1	1	1	1
B	0	0	1	1	0	0	1	1
C	0	1	0	1	0	1	0	1
Salida	0	0	0	1	0	1	1	1

Esta máquina se puede lograr juntando los productos básicos **ABC’**, **AB’C**, **A’BC** y **ABC**, pero en este problema se trata de construir una máquina más sencilla.

Un vistazo al diagrama de subconjuntos producido por la Tabla de Verdad proporcionada demuestra que dicho diagrama se puede descomponer en la suma de otros sub-diagramas que representan expresiones más sencillas:



Con base en esto, la salida correspondiente a la misma máquina pero construida de una manera más sencilla será:

Salida = AB + AC + BC

Obsérvese que con mera álgebra Booleana no es posible "ver" fácilmente esta simplificación.

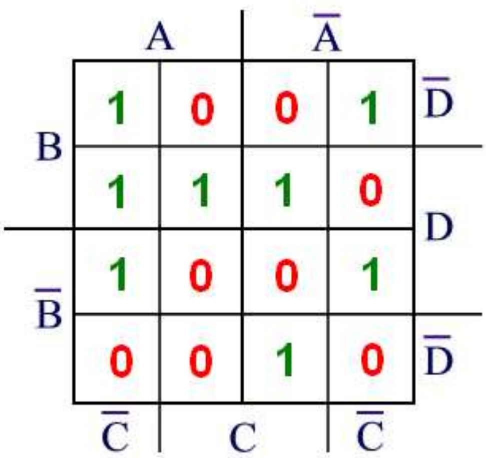
Esta máquina puede ser vista como una máquina analizadora de votos, puesto que la salida será "**1**" cuando una mayoría de las entradas **A**, **B**, **C** sean "**1**". Y desde luego, el principio de la misma puede ser extendido a más de tres entradas.

2. PROBLEMA: *Dado un circuito cuya Tabla de Verdad es la siguiente:*

A	B	C	D	Salida
0	0	0	0	0
0	0	0	1	1
0	0	1	0	1
0	0	1	1	0
0	1	0	0	1
0	1	0	1	0
0	1	1	0	0
0	1	1	1	1
1	0	0	0	0
1	0	0	1	1
1	0	1	0	0
1	0	1	1	0
1	1	0	0	1
1	1	0	1	1
1	1	1	0	0
1	1	1	1	1

construir el mapa de Karnaugh que le corresponde, mostrando en el mapa todas las entradas correspondientes tanto de los "unos" como de los "ceros".

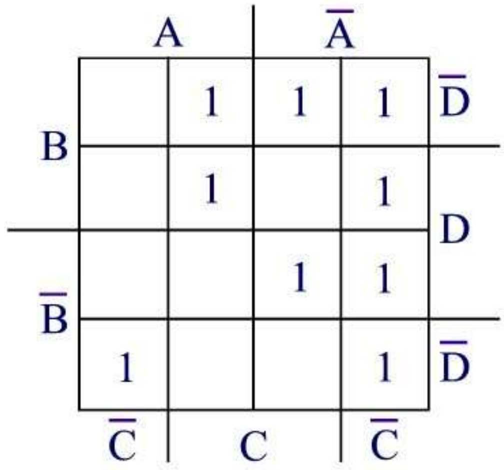
El contenido de cualquier Tabla de Verdad se puede vaciar directamente a un mapa de Karnaugh, y viceversa. La Tabla de Verdad y el mapa de Karnaugh son en realidad dos formas diferentes de representar exactamente la misma información. Podemos empezar con la construcción del mapa poniendo un "**1**" en todos los casilleros del mapa que correspondan a los minterms, por ejemplo **ABCD**, **A'·B'·C'D**, etc., y una vez que hayamos vaciado todos los minterms en el mapa podemos simplemente llenar el resto de los casilleros con "**0**". Para la Tabla de Verdad proporcionada, vaciando los "unos" en los lugares que les corresponden y vaciando los "ceros" en los lugares que les corresponden, el mapa de Karnaugh será:



3. PROBLEMA: *Representar en un mapa de Karnaugh la siguiente expresión:*

ABCD' + ABCD + AB'·C'·D' + A'BCD'+ A'BC'D' + A'BC'D + A'·B'·CD + A'B'C'D + A'B'C'D'

El mapa de Karnaugh para esta expresión Booleana de cuatro variables es el siguiente:



4. PROBLEMA: *Dadas las secuencias **A=011001** y **B=110100**, calcular:*

(1) (**A + B)'** y **A' · B'**

(2) (**A · B)'** y **A' + B'**

¿Qué se puede deducir de los resultados?

(1) Si **A=011001**, entonces **A'=100110**. Y si B=110100, entonces **B'=001011**.

En base a esto, la suma *Booleana* será:

A + B = 111101

de lo cual se deduce que:

(A + B)' = 00010

Por otro lado, el producto Booleano de los complementos es:

A' · B' = 00010

Inspeccionando las dos palabras binarias **A** y **B**, resulta claro que al aparearlas *bit por*

bit las dos contienen todas las combinaciones posibles de "unos" y "ceros" al ser combinadas (**A=0** y **B=0**, **A=0** y **B=1**, **A=1** y **B=0**, **A=1** y **B=1**).
Comparando los resultados obtenidos, se concluye que:

$$(A + B)' = A' \cdot B'$$

En notación alterna: **(A+B)'** = **A'** · **B'**

(2) De las palabras dadas obtenemos el siguiente producto *Booleano* de las mismas:

$$A \cdot B = 010000$$

de lo cual se deduce que:

$$(A \cdot B)' = 101111$$

Por otro lado, la suma de los complementos es:

$$A' + B' = 101111$$

Comparando los resultados obtenidos, se concluye que:

$$(A \cdot B)' = A' + B'$$

En notación alterna: **(A · B)'** = **A'** + **B'**

Las relaciones obtenidas son mejor conocidas como las **leyes de DeMorgan**, en honor al logista Augustus DeMorgan (1806-1871) quien fue quien las descubrió por vez primera. Pero al igual que Boole, el inventor del álgebra Booleana, DeMorgan jamás se imaginó que su descubrimiento pudiera tener aplicación alguna en el estudio de los circuitos digitales. En combinación con el álgebra Booleana, estas dos relaciones son extraordinariamente importantes en la simplificación de expresiones que corresponden a circuitos lógicos. Estas leyes son generalmente presentadas de la siguiente manera en otros libros de texto:

$$(A + B)' = A' \cdot B':$$

El complemento de una suma de variables es igual al producto de los complementos.

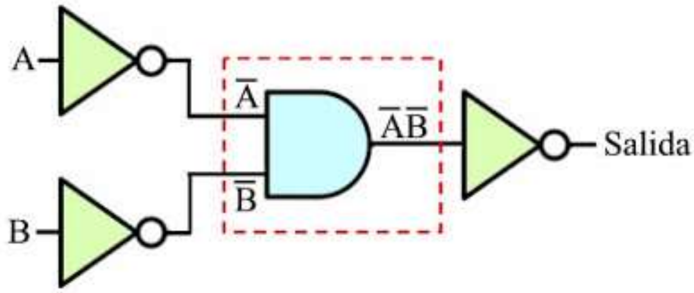
$$(A \cdot B)' = A' + B':$$

El complemento del producto de dos variables es igual a la suma de los complementos.

Como lo sugieren estos enunciados, las leyes de DeMorgan se pueden extender hacia *tres o más variables* sin dificultad alguna. La demostración formal de este hecho es relativamente fácil recurriendo a un procedimiento conocido como la *inducción matemática*. Por curiosa coincidencia, fue precisamente Augustus DeMorgan quien formalizó el término y el concepto de la inducción matemática.

5. PROBLEMA: *Un principio aparentemente obvio es el siguiente: "Si las entradas a un elemento lógico se invierten (inversión lógica con bloques NOT) y la salida del elemento también se invierte, se obtiene entonces la misma acción que la que se obtendría del elemento sin la presencia de los inversores". Comprobar la veracidad de este enunciando usando un bloque AND como punto de partida.*

Un bloque AND de dos entradas con inversores puestos tanto a las entradas como a la salida presentará el siguiente aspecto:



La salida de este circuito lógico estará dada por:

$$\text{Salida} = \overline{\overline{A}\,\overline{B}}$$
$$\text{Salida} = \overline{\overline{A}} + \overline{\overline{B}}$$
$$\text{Salida} = A + B$$

Para la simplificación Booleana, en la segunda línea, aplicamos una de las Leyes de DeMorgan, mientras que para pasar de la segunda línea a la tercera línea aplicamos el teorema que nos dice que la inversión de una inversión cancela los efectos de ambas sobre la variable en la cual operan.

Puesto que la salida es ahora la correspondiente a un bloque OR y no la correspondiente a la del bloque AND que teníamos originalmente, se concluye que el enunciado propuesto *es falso*. La misma conclusión se podría haber obtenido si se hubiese usado un bloque OR para comprobar lo propuesto.

6. PROBLEMA: *La Tabla de Verdad para un circuito lógico es como se muestra a continuación:*

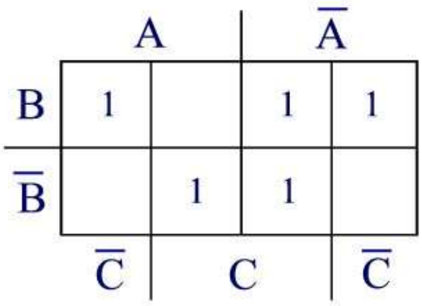
A	B	C	Salida
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	0

Usando minterms, dibujar su mapa de Karnaugh correspondiente.

De acuerdo con la Tabla de Verdad proporcionada, trabajando sobre las salidas con valor de "**1**" la salida Boleana del circuito está dada en función de sus minterms por la siguiente expresión:

$$\textbf{Salida} = A'\cdot B'\cdot C + A'BC' + A'BC + AB'C + ABC'$$

El mapa de Karnaugh que corresponde a esta expresión es el siguiente:

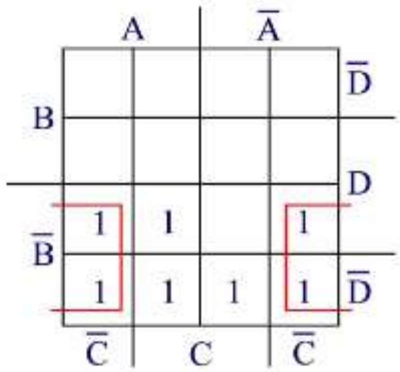


7. PROBLEMA: *Una configuración produce la siguiente salida:*

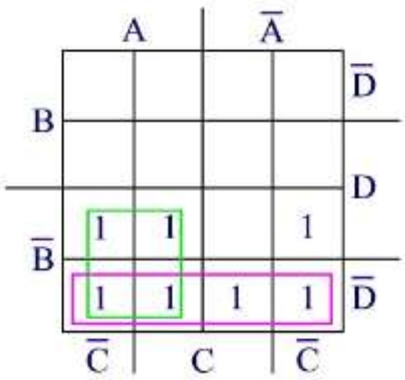
$$\mathbf{f} = AB' + AB'CD + A'\cdot B'\cdot CD' + A'\cdot B'\cdot D' + A'\cdot B'\cdot C'D$$

Simplificar la configuración utilizando el mapa de Karnaugh.

El mapa de Karnaugh, mostrando un posible agrupamiento simplificador, es el siguiente:



Según se puede observar en el mapa, una primera simplificación se puede llevar a cabo enrollando el mapa horizontalmente alrededor de un cilindro para que varios cuadros queden cubiertos por la expresión **B’·C’**. Sin embargo, esto deja fuera tres "unos". Buscamos a continuación la mejor manera de agrupar los "unos" restantes como se muestra en el siguiente agrupamiento:



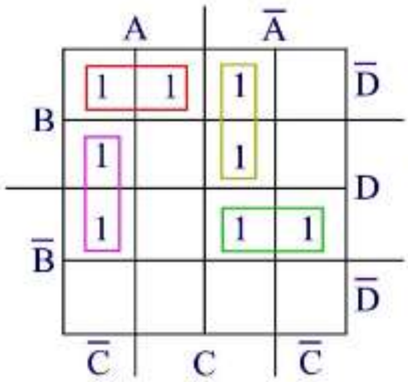
Estos dos agrupamientos "cobijan" todos los "unos" faltantes. Vemos que los demás "unos" se pueden agrupar bajo las expresiones **AB’** y **B’·D’**. La salida simplificada estará dada entonces por la siguiente relación:

f = AB’ + B’·C’ + B’·D’

8. PROBLEMA: *Utilizando el mapa de Karnaugh, simplificar la siguiente expresión:*

f = ABCD’ + ABC’D + ABC’·D’ + AB’·C’D + A’BCD + A’BCD’ + A’·B’·CD + A’·B’·C’D

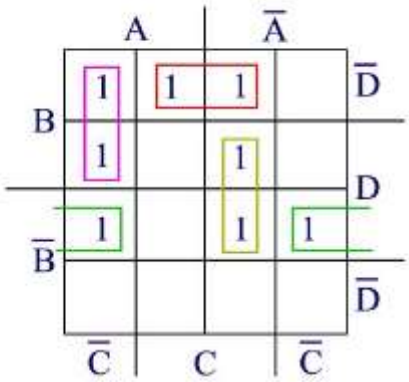
El mapa de Karnaugh correspondiente a esta expresión, con una posible simplificación, es el siguiente:



La solución posible indicada en el mapa resulta ser:

f = ABD’ + AC’D + A’BC + A’·B’D

Existe, sin embargo, otra solución posible, la cual se indica en el siguiente mapa de Karnaugh (uno de los agrupamientos se obtiene enrollando el mapa horizontalmente uniendo el borde derecho con el borde izquierdo):



Vemos pues que la solución alterna está dada por la relación:

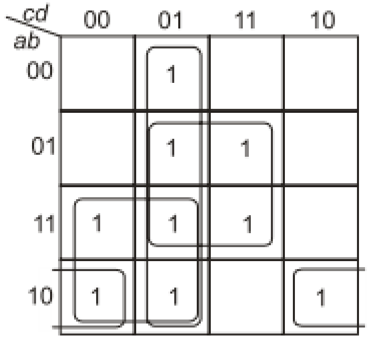
f = ABC’ + BCD’ + A’CD + B’·C’D

En este problema, el mapa de Karnaugh nos proporciona dos soluciones diferentes para un mismo caso, cualquiera de las cuales es igualmente aceptable y válida. Corresponderá al ingeniero de diseño decidir cuál de las dos soluciones es más económica de construir con los componentes que tenga disponibles a la mano.

9. Simplificar por el método de Karnaugh la siguiente expresión

S = abc’d + a’bc’d + ab’c’d + a’b’c’d + ab’cd’ + ab’c’d’ + abc’d’ + a’bcd + abcd

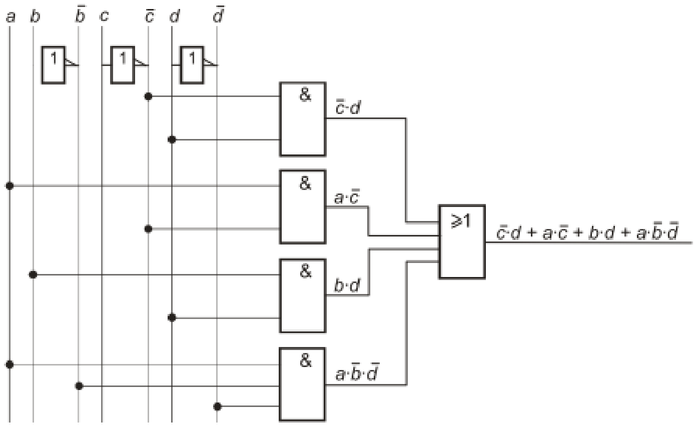
El mapa correspondiente es

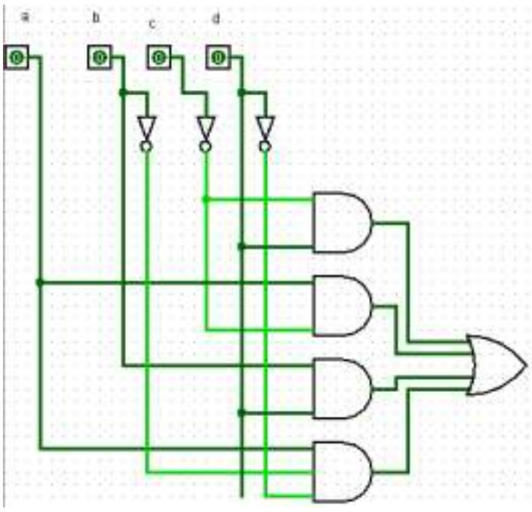


La función simplificada es

S = c’d + ac’+ bd + ab’d’

Y su circuito





S = c’d + ac’ bd + ab’d’

10. Simplificar la siguiente función y obtener su circuito electrónico con el menor número de compuertas

F = a’b’c + (a+b) c

Obtenemos la función canónica y simplificamos por el método de Karnaugh

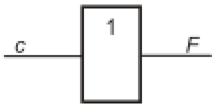
F = a’b’c + abc + ab’c + a’bc

a \ bc	00	01	11	10
0		1	1	
1		1	1	

La función obtenida es:

F = c

Y el circuito



11. Dada la siguiente fución:

S = a’b’c + a’b’c’ + a’bc’ + ab’c’ + a’bc

Obtenga su expresión más significativa usando compuertas NAND

Situamos los términos de la funcion sobre el mapa de Karnaugh para tres variables y simplificamos la función

a \ bc	00	01	11	10
0	1	1	1	1
1	1			

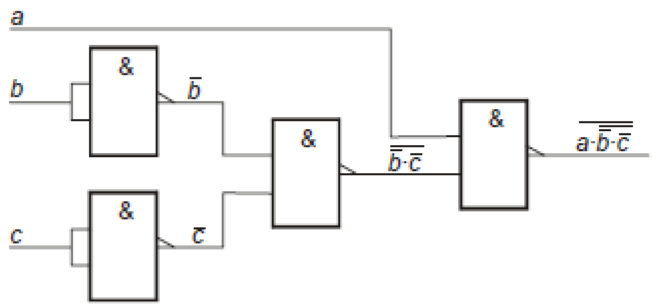
La función obtenida es

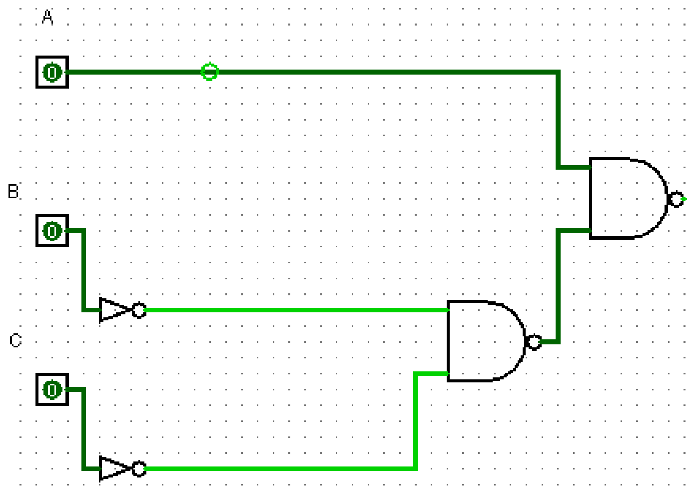
S = a’+ (b’c’)

Transformamos la función para ser realizada con compuertas NAND

$$S = \bar{a} + \bar{b} \cdot \bar{c} = \overline{\overline{\bar{a} + \bar{b} \cdot \bar{c}}} = \overline{\bar{\bar{a}} \cdot \overline{\bar{b} \cdot \bar{c}}} = \overline{a \cdot \overline{\bar{b} \cdot \bar{c}}}$$

Y el circuito que obtenemos





12. Diseñar un circuito electrónico que cumpla la siguiente tabla de verdad para la función *F(a,b,c)* con el menor número de compuertas lógicas.

a	*b*	*c*	*F*
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	0
1	0	1	1
1	1	0	0
1	1	1	1

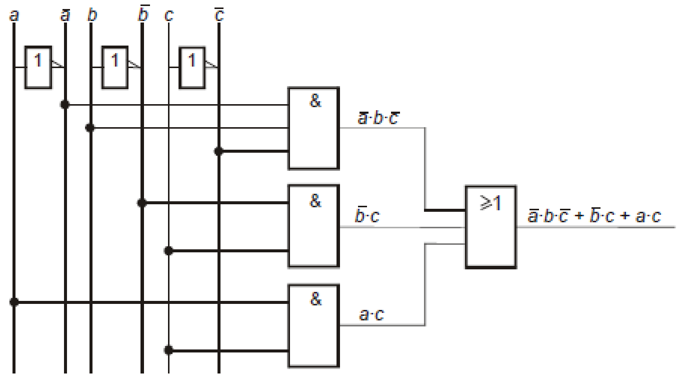
Situamos los términos que hacen verdadera la función sobre el mapa de Karnaugh de tres variables

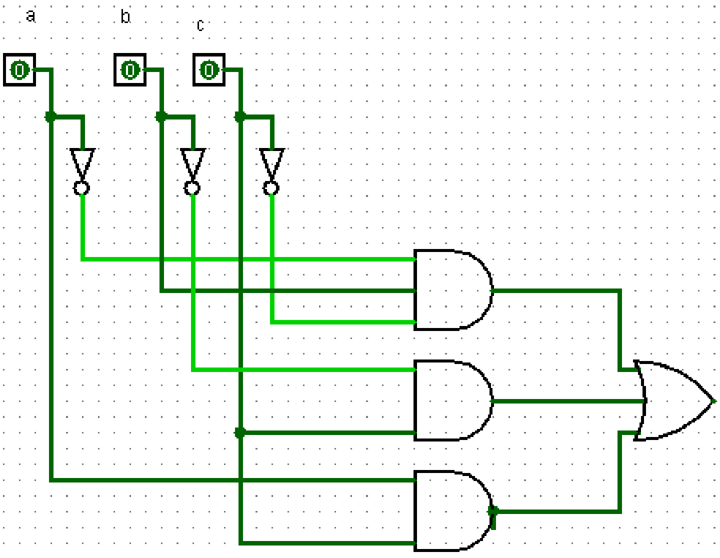
bc / a	00	01	11	10
0		1		1
1		1	1	

La función obtenida es

$$\boxed{F = \overline{a} \cdot b \cdot \overline{c} + \overline{b} \cdot c + a \cdot c}$$

Y su circuito





$$\boxed{F = \overline{a} \cdot b \cdot \overline{c} + \overline{b} \cdot c + a \cdot c}$$

13. Un motor es controlado mediante tres pulsadores A, B, y C.

Diseñe su circuito de control mediante compuertas lógicas que cumplan las siguientes condiciones de funcionamiento:

- Si se pulsan los tres pulsadores el motor se activa
- Si se pulsan dos pulsadores cualesquiera, el motor se activa, pero se enciende una lámpara adicional como señal de emergencia.
- Si sólo se pulsa un pulsador, el motor no funciona, pero se activa la lámpara indicadora de emergencia.
- Si no se pulsa ningún interruptor, ni el motor ni la lámpara se activan.

Obtenemos la tabla de verdad para las dos salidas, según las especificaciones, y expresamos sus funciones canónicas

A	B	C	M	L
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	1
1	0	0	0	1
1	0	1	1	1
1	1	0	1	1
1	1	1	1	0

$$M = \overline{A} \cdot B \cdot C + A \cdot \overline{B} \cdot C + A \cdot B \cdot \overline{C} + A \cdot B \cdot C$$

$$L = \overline{A} \cdot \overline{B} \cdot C + \overline{A} \cdot B \cdot \overline{C} + \overline{A} \cdot B \cdot C + A \cdot \overline{B} \cdot \overline{C} + A \cdot \overline{B} \cdot C + A \cdot B \cdot \overline{C}$$

Con el mapa de Karnaugh obtenemos sus funciones simplificadas

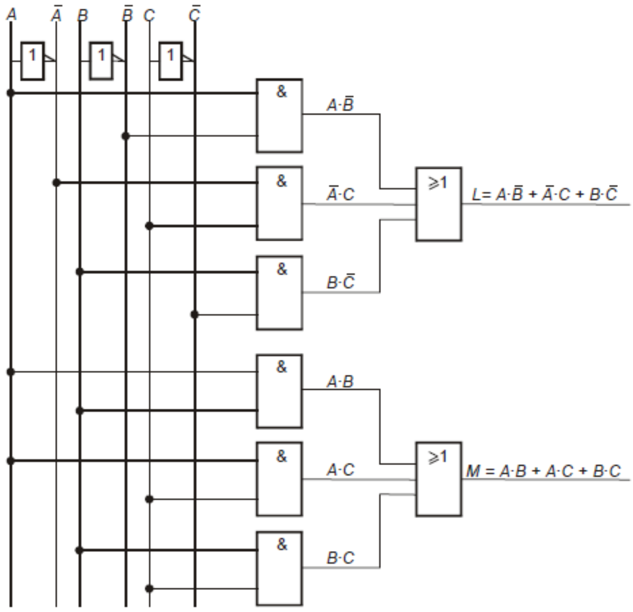
BC / A	00	01	11	10
0			1	
1		1	1	1

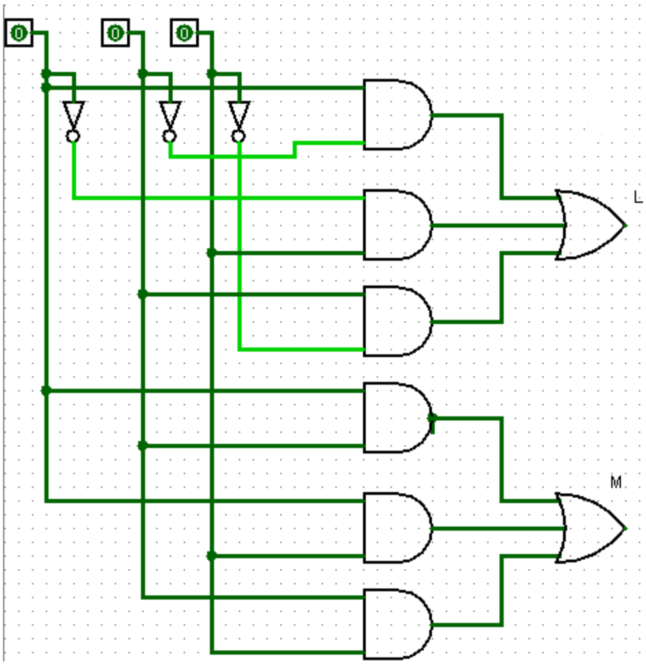
$$M = B \cdot C + A \cdot C + A \cdot B$$

BC / A	00	01	11	10
0		1	1	1
1	1	1		1

$$L = \overline{A} \cdot C + A \cdot \overline{B} + B \cdot \overline{C}$$

Dibujamos su circuito





$$M = B \cdot C + A \cdot C + A \cdot B$$

$$L = \overline{A} \cdot C + A \cdot \overline{B} + B \cdot \overline{C}$$